

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-111486

(43)公開日 平成 6 年(1994) 4 月22日

(51)Int.Cl.⁵

G 1 1 B 20/14

H 0 3 M 7/14

識別記号

3 4 1 Z

庁内整理番号

8322-5D

B 8522-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 34 頁)

(21)出願番号

特願平3-250654

(22)出願日

平成 3 年(1991) 9 月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 清水 目 和年

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

(74)代理人 弁理士 山口 邦夫 (外 1 名)

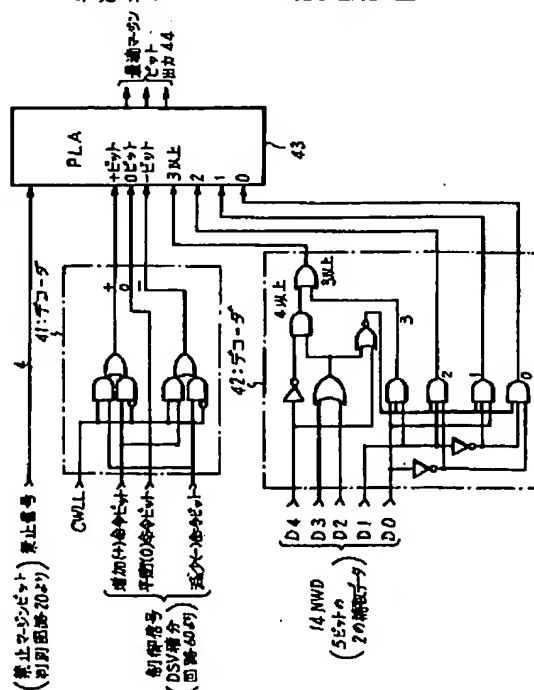
(54)【発明の名称】 変調回路

(57)【要約】

【目的】 CD 方式の変調回路において、個々のマージンビットをテストすることなく、簡単な回路で迅速に最適マージンビットを出力する。

【構成】 この発明の変調回路に搭載されたマージンビット発生回路 40 の P L A 43 は、予めプログラムされた 5 2 通りの選択肢に基づいて、入力信号に対応する最適マージンビット 44 を出力する。入力信号とは、禁止マージンビットを示す 4 ビット信号と、前の 1 4 ビットデータの最終信号レベルを表わす C W L L 信号と、累積 D S V の制御方向を指示する 3 ビットデータと、マージンビットの後に置かれる 1 4 ビットデータの D S V を表わす 5 ビット信号である。デコーダ 41 は C W L L 信号と制御信号をデコードし、デコーダ 42 は 5 ビット信号を 5 つのケースにデコードして、P L A 43 に供給する。これで、個々のマージンビットをテストすることなく、P L A 43 から最適マージンビット 44 が生成される。

本発明のマージンビット発生回路 40



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 入力する m ビット符号系列をそれぞれ n (但し、 $n > m$) チャンネルビットパターンに変換し、この n チャンネルビットパターン間を複数種類のマージンビットのうちの一つで結合して、最長および最短記録波長を制限すると共に、記録波形の低域成分を抑圧する変調回路において、

使用の禁止される上記マージンビットに関する信号と、このマージンビットに対して前置される n チャンネルビットパターンの最終記録波形レベルに関する信号と、累積デジタルサムバリエーション (以下、DSVという) に関する制御信号と、このマージンビットに対して後置される n チャンネルビットパターンのDSVに関する信号とを入力とし、上記複数種類のマージンビットのうち最適な一つをテストによらず一義的に出力するマージンビット発生手段を有することを特徴とする変調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、デジタル音声信号等を記録する記録系の変調回路に関し、例えば、コンパクトディスク (CD) 方式準拠の追記型 (以下、WOという) や書換え型 (以下、MOという) のCD記録再生装置の変調回路において、チャンネルコーディングのデジタルサムバリエーション (以下、DSVという) の制御に適用される。

【0002】

【従来の技術】デジタル音声信号等の記録において、デジタル信号は、誤り検出訂正符号が付加された後、変調回路に供給され記録再生系の特性に適した符号に変換 (チャンネルコーディング) される。

【0003】図9 (A) は、CD方式の信号フォーマットの概要を示す図であり、変調方式としては8-14変換 (以下、EFMという) が用いられる。

【0004】EFMは、入力する8ビット符号 (以下、シンボルという) を14チャンネルビットの符号に変換し、24チャンネルビットの同期信号と14チャンネルビットのサブコードを付加した後、これらの符号間を3チャンネルビットのマージンビットで連結し、NRZI記録する変調方式である。

【0005】図9 (B) はCD方式のフレーム構成を示す図である。

【0006】図示のように、1シンクフレーム (6標本値区間、LおよびRチャンネル各6サンプル、1サンプルは16ビットデータ) 期間にCIRC (クロスインターリーブリードソロモンコード) エンコーダから変調回路に入力する24シンボルのデータと8シンボルのパリティは、それぞれ14チャンネルビットに変換され、3チャンネルビットのマージンビットで連結されて図示のように、フレーム当り588チャンネルビットとされ、4.3218MbpsのチャンネルビットレートでCD上にNR

ZI記録される。

【0007】ここで、変調回路に入力する各シンボルは、例えば、ルックアップテーブルROMを参照して、“1”と“1”間の“0”の個数が2個以上かつ10個以下のチャンネルビットパターンにそれぞれ変換される。また、フレーム同期信号Sfのチャンネルビットパターンは“10000000000010000000000010”であり、マージンビットパターンは“000”、“001”、“010”および“100”のうちの一つが選択される。更に、1サブコーディングフレームは98フレームで構成され、第0および第1フレームのサブコードとしてサブコードシンク信号S₀ (= “001000000000001”)、S₁ (= “00000000010010”) が付加される (図9 (C) 参照)。

【0008】図10は、サンプル値の1例について、EFM後のチャンネルビットパターンとDSV (デジタルサムバリエーション) を示す図である。

【0009】16ビットの1サンプルは、上位8ビットと下位8ビットに分割され、CIRCエンコーダを介して変調回路に入力し、8-14変換されてインフォメーションビットとされる。インフォメーションビットの“1”と“1”の間には前述のように2個以上かつ10個以下の“0”が介在する。マージンビットとして“000”、“001”、“010”および“100”のうちの1種が選ばれ、インフォメーションビット同士の連結箇所についてもこの規則が常に成立するようにされ、17チャンネルビット (但し、フレーム同期信号Sfの場合は27チャンネルビット) を単位とするEFM信号が変調回路から4.3218Mbpsで出力される。

【0010】このように、任意のチャンネルビット“1”と次のチャンネルビット“1”の間には2個以上10個以下のチャンネルビット“0”が介在するので、NRZI記録波形のハイレベルまたはローレベルの継続期間 (記録波長) は必ず3T以上11T以下となる (図10参照)。即ち、この場合、最短記録波長は3T、最長記録波長は11Tである。但し、Tはチャンネルクロック4.3218MHzの1周期であり、以下、これをEMF3T~11Tルールという。

【0011】NRZI記録波形のDCバランスの指標としてデジタルサムバリエーション (DSV) を考える。DSVは記録波形の時間積分として与えられる。即ち、記録波形のハイレベルが単位時間Tだけ継続したときのDSVの変化分を+1とし、ローレベルが単位時間Tだけ継続したときのDSVの変化分を-1とする。

【0012】時刻 t_0 におけるDSVの初期値を零と仮定した場合のDSVの時間に関する変化を図10の最下段に示す。ここで、期間 $t_1 \sim t_2$ における変調信号は17チャンネルビットパターン“01000001000001001”によって一義的に定まるのではなく、時刻 t_1 における変調信号レベル、つまり、期間 $t_0 \sim t_1$

における変調信号波形の最終レベル（以下、CWL Lという）に依存する。従って、図示の変調信号波形は時刻 t_0 においてCWL Lがローレベル（CWL L = “0”）の場合であり、時刻 t_0 においてCWL L = “1”（ハイレベル）の場合の変調信号波形はハイレベルとローレベルとを置き換えた逆パターンになる。同様に、DSVの増減もCWL Lに依存し、時刻 t_0 においてCWL L = “0”の場合、インフォメーションビットパターン“01000100100010”によるDSVの変化分（以下、14NWDという）、つまり期間 $t_0 \sim t_{0+14}$ におけるDSVの変化分は図示のように+2である。図とは逆に、時刻 t_0 においてCWL L = “1”なら14NWD = -2となる。また、期間 $t_{0+14} \sim t_{1+14}$ におけるDSVの変化分を17NWDという。

【0013】期間 $t_{0+14} \sim t_1$ に挿入されるマージンビットについて説明する。

【0014】4種類のマージンビット“000”、“001”、“010”および“100”のうち、EFM3T～11Tルールにより“001”と“100”は挿入できず、“010”または“000”が挿入可能である。即ち、マージンビットの前に出力される前回のインフォメーションビットパターンの終端の“0”の個数をBとし、後に出力される今回のインフォメーションビットパターンの先端の“0”の個数をAとすれば、 $B=1$ かつ $A=1$ であるためマージンビットの先端は“0”かつ終端は“0”でなければならず、挿入可能なマージンビットパターンは“0x0”となる。

【0015】マージンビットとして“010”を挿入したときのDSVを実線で、また“000”を挿入したときのDSVを点線で図10に示す。

【0016】このように、4種類のうち2つ以上のマージンビットの付加が可能な場合、今回のインフォメーションビットの14NWDに基づいてDSVがなるべく小さくなるように、いずれか1つのマージンビットが選択される。即ち、時刻 t_{1+14} でのDSVは、“010”のとき+3、“000”のとき-1であるから、最適マージンビットとして“000”が選択され、これが期間 $t_{0+14} \sim t_1$ に付加される。

【0017】上述のように、マージンビットは、まず、インフォメーションビットパターン同士の連結点でEFM3T～11Tルールを満足するように選択され、次に、若し複数のマージンビットの挿入が可能ならDSVを最も零に近ずけるようなマージンビットを選択する。

【0018】図11は、特開平1-第319178号で開示された変調回路のブロック図である。

【0019】101はCIRCエンコーダ（図示せず）から入力する各シンボルの入力端子、102は4.3218MHzのシステムクロックScの入力端子、103はフレームシンクタイミング信号の入力端子、104はサブコーディングフレームのシンクタイミング信号の入

力端子である。

【0020】入力端子101に順次入力するシンボルはROM111により8-14変換されてレジスタ112に格納されると共に、14ビットデータの先端と終端の“0”の個数を表す2つの4ビットデータA、Bがレジスタ112に格納される。

【0021】各フレームのシンクタイミング、サブコーディングフレームのシンクタイミングにおいては、システム制御回路115の制御によりROM116から疑似フレームシンク信号S'f、サブコーディングフレームのシンク信号S₀、S₁が、それぞれ14ビットデータとして出力されてレジスタ112に格納される。ここで、24ビットのフレームシンク信号Sfは、かりに14ビットの疑似フレームシンク信号S'f（＝“10000000000100”）とされ、出力時に24ビットのフレームシンク信号Sfに変換される。また、シンク信号S'f、S₀、S₁の先端および終端の“0”の個数を表す2つの4ビットデータA、Bがレジスタ112に格納される。

【0022】レジスタ112に格納された14ビットデータはレジスタ113、114へ順次転送されるので、レジスタ113には前回の14ビットデータが、またレジスタ114には前前回の14ビットデータが格納される。4ビットデータAはレジスタ112からROM117、118に供給され、4ビットデータBはレジスタ112からレジスタ113へ転送されるので、前回の4ビットデータBがレジスタ113からROM117、118に供給される。

【0023】ROM117は4ビットデータAと前回の4ビットデータBとをアドレス入力とし、EFM3T～11Tルールを満足するマージンビットをセクタ120に出力する。EFM3T～11Tルールには違反しないが、マージンビットによって接続されたビットパターンの中に24ビットのフレームシンク信号Sfと同一のビットパターンを含む結果となる例外的な組合せ（11例）の場合、ROM118はこのような組合せが発生ないように特に制限したマージンビットを出力する。即ち、ROM118は例外的禁則発生時のマージンビットをセクタ120に出力する。

【0024】検出回路119はレジスタ112、113、114に格納された3つの14ビットデータとレジスタ142に格納された前回のマージンビットとを参照して、上述した例外的な組合せの発生を検出し、マージンビットの読み出しをROM117からROM118に切り換える。ROM117またはROM118から出力されるマージンビットはセクタ120を介してROM122にアドレスとして入力する。また、ROM123にはレジスタ112から14ビットデータがアドレスとして入力する。

【0025】ROM122は入力するマージンビットに

対するDSVとその極性とを出力し、DSVはDSVレジスタ125に、極性は極性レジスタ127に格納される。また、ROM123は入力する14ビットデータに対するDSVとその極性とを出力し、DSVはDSVレジスタ124に、極性は極性レジスタ126に格納される。

【0026】ROM117または118から出力されるマージンビットは最多の場合で4種類（以下、第1、第2、第3及び第4マージンビットという）であるが、処理の統一を計るため常に4種類のマージンビットが出力される。このうちの最適マージンビットは次のようにして決定される。

【0027】1) 第1マージンビットのテスト：セクタ121の制御により、セクタ120は第1マージンビットをアドレス入力としてROM122に供給する。ROM122から出力される第1マージンビットに対するDSVとその極性はレジスタ125と127にそれぞれ格納される。これと同時に、ROM123から出力される14ビットデータに対するDSVとその極性はレジスタ124と126にそれぞれ格納される。

【0028】レジスタ130から出力される累積DSVの極性は、論理回路131を介して加減算回路128に与えられ、負極性なら入力Bプラス入力A、正極性なら入力Bマイナス入力Aの演算が行われる。ここで、入力Bはレジスタ129から供給される累積DSVであり、入力Aはレジスタ125から供給される第1マージンビットに対するDSVである。加減算回路128の演算結果、即ち第1マージンビットを付加した場合の累積DSVは、レジスタ132に格納される。また、演算結果の絶対値は絶対値回路134を介して、レジスタ135に格納される。

【0029】次に、レジスタ132に格納された第1マージンビット付加時の累積DSVは入力Bとして加減算回路128に供給され、レジスタ124に格納された14ビットデータに対するDSVは入力Aとして加減算回路128に供給され、入力Bと入力Aとの加算または減算が行われる。ここで、加算または減算の演算制御信号は、レジスタ130に格納された累積DSVの極性とレジスタ127に格納された第1マージンビットの極性ととの排他的論理和として論理回路131から供給される。

【0030】加減算回路128の演算結果とその絶対値は、レジスタ132とレジスタ135にそれぞれ格納される。

【0031】論理回路131はレジスタ126、127、130に格納された3つの極性の排他的論理和を演算し、この演算結果はレジスタ138に格納される。

【0032】レジスタ132に格納された累積DSVの計算に用いたマージンビットの番号（ここでは、第1マージンビットの「1」）は、インジケータ140に格納される。

【0033】2) 第2マージンビットのテスト：セクタ121の制御によりセクタ120を介して、ROM122には第2マージンビットがアドレスとして入力し、ROM122から出力された第2マージンビットのDSVとその極性はレジスタ125と127にそれぞれ格納される。

【0034】加減算回路128による第2マージンビット付加時の累積DSVの計算は、第1マージンビットの場合と同様に行われる。第2マージンビット以降の場合、演算結果とその絶対値は、第1マージンビットの場合とは異なり（レジスタ132と135ではなく）、レジスタ133とレジスタ136にそれぞれ格納される。

【0035】レジスタ133に格納された第2マージンビット付加時の累積DSVを入力Bとする加減算回路128による14ビットデータ付加時の累積DSVの演算は、第1マージンビットの場合と同様に行われ、第2マージンビット以降の場合には演算結果とその絶対値はレジスタ133とレジスタ136にそれぞれ格納される。

【0036】次に、既にテスト済みのマージンビットよりも、今回のマージンビットの方が適当か否かの判定を行う。マージンビットは累積DSVの絶対値をなるべく零に近ずけるように選ばれるので、レジスタ135に格納された前回の累積DSVの絶対値とレジスタ136に格納された今回の累積DSVの絶対値とを比較する。即ち、論理回路131の制御により減算モードとされた加減算回路128は、レジスタ135から供給される第1マージンビットについての累積DSVの絶対値を入力Bとし、レジスタ136から供給される第2マージンビットについての累積DSVの絶対値を入力Aとして、入力Bから入力Aを減算する。

【0037】この減算結果が正の場合、即ち第2マージンビットの累積DSVの方が零に近い場合には、レジスタ133の内容をレジスタ132に格納し、論理回路131から出力されるレジスタ126、127、130の3つの極性の排他的論理和をレジスタ138に格納すると共に、レジスタ132に格納した累積DSVの計算に用いたマージンビットの番号（ここでは、第2マージンビットの「2」）をインジケータ140に格納する。なお、減算結果が負または零の場合には、上述のようなレジスタ132、138とインジケータ140の内容更新は行わない。

【0038】このようにして、レジスタ132には今迄テストしたマージンビットのうちで最適なマージンビットを用いた場合の累積DSVが格納され、レジスタ138にはその極性が格納されると共に、インジケータ140には最適マージンビット番号が格納される。

【0039】3) 第3マージンビットのテスト：セクタ120を介して供給される第3マージンビットについても、第2マージンビットの場合と全く同様の処理が行われる。この結果、レジスタ132には今迄テストし

た第1～第3マージンビットのうちで最適なマージンビットの累積DSVが格納され、レジスタ138にはその極性が格納されると共に、インジケータ140には最適マージンビット番号が格納される。

【0040】4) 第4マージンビットのテスト：セレクタ120を介して供給される第4マージンビットについても、第2、第3マージンビットの場合と全く同様の処理が行われる。この結果、レジスタ132には全てのマージンビットのうちで最適なマージンビットの累積DSVが格納され、レジスタ138にはその極性が格納されると共に、インジケータ140には最適マージンビット番号が格納される。

【0041】上述のテスト1)～4)の結果、最適なマージンビットが判明し、次に、出力処理を行う。

【0042】インジケータ140に格納された最適なマージンビットの番号は、セレクタ121を介してセレクタ120に与えられ、セレクタ120はROM117または118から入力するマージンビットのうち最適なマージンビットを選択してレジスタ141に出力する。また、レジスタ132に格納された最適マージンビット使用時の累積DSVを累積DSVレジスタ129に格納すると共に、レジスタ138に格納された極性を累積極性レジスタ130に格納して、両累積レジスタ129、130の更新を行う。

【0043】このようにして、レジスタ112に格納された現在の14ビットデータに対する最適マージンビットの選定と出力は終了し、ROM111またはROM116から次の14ビットデータと2つの4ビットデータA、Bが出力されてレジスタ112に格納される。これと同時に、レジスタ141に格納された現在の14ビットデータに対する最適マージンビットは、レジスタ142に転送されて格納される。

【0044】レジスタ142から出力される最適マージンビットに、レジスタ113から出力される今回の14ビットデータを連結した17ビットデータが、パラレルイン/シリアルアウトのシフトレジスタ143にロードされ、引き続き17システムクロック(S_c)期間に17チャンネルビットのシリアルデータとして排他的論理和(XOR)回路144に出力される。入力端子102からシステム制御回路115を介して供給されるフレームシンクタイミング信号に基づいて、XOR回路144は、シフトレジスタ143から入力するシリアルデータのうち14ビットの疑似フレームシンク信号S'fを正規の24ビットフレームシンク信号Sfに変換した後、フリップフロップ回路145を介して、4、3218MbpsのEFM信号として出力する。

【0045】上述の従来例においては、累積DSVのオーバーフローを防止するため、サブコーディングフレーム毎に(つまり、98シンクフレーム毎に)累積DSVレジスタ129と累積極性レジスタ130のリセットが

行われる。

【0046】

【発明が解決しようとする課題】従来の変調回路においては、上述のように4種類のマージンビットの個々について累積DSVとその極性を実際に算出し、その結果から最適マージンビットを選定していた。このため、最適マージンビットの選択には、常に4回のテストを並列に、あるいは時分割で繰り返し行わなければならない、変調回路が複雑かつ大規模になってしまうという欠点があった。しかし、再生専用のCD方式の場合、変調回路は大型のCD生産システム(例えば、レーザーカッティングマシン)の一部として用いられるため、上述のような欠点は大きな障害とはならなかった。

【0047】一方、最近提案されているミニディスクシステムのようなCD方式の録音再生装置は、変調回路を各装置に小型化して内蔵しなければならないため、上述のような欠点は大きな障害となっていた。

【0048】そこで、この発明は、テストを行うことなく最適マージンビットを一義的に発生することができ、かつ、回路規模が小さくLSI化にも便利な変調回路を提案するものである。

【0049】

【課題を解決するための手段】上述した課題を解決するため、この発明においては、入力するmビット符号系列をそれぞれn(但し、n>m)チャンネルビットパターンに変換し、このnチャンネルビットパターン間を複数種類のマージンビットのうちの一つで結合して、最長および最短記録波長を制限すると共に、記録波形の低域成分を抑圧する変調回路において、使用の禁止される上記マージンビットに関する信号と、このマージンビットに対して前置されるnチャンネルビットパターンの最終記録波形レベルに関する信号と、累積ディジタルサムヴァリエーション(以下、DSVという)に関する制御信号と、このマージンビットに対して後置されるnチャンネルビットパターンのDSVに関する信号とを入力とし、上記複数種類のマージンビットのうち最適な一つをテストによらず一義的に出力するマージンビット発生手段を有するものである。

【0050】

【作用】この発明に係る変調回路において、図1に示すマージンビット発生回路40に入力する信号は次の通りである。4種類のマージンビット“100”、“010”、“001”、“000”のうちEMF3T～11Tルールに抵触するマージンビット、およびフレームシンクが誤って発生するマージンビットに禁止フラグ

“1”を立てて表わす4ビットの禁止信号が禁止マージンビット判別回路20から入力する。また、累積DSVの望ましい制御方向が増加(+)、平衡(0)または減少(-)であることを示す3ビットの制御信号“100”、“010”または“001”がDSV積分回路6

0から入力する。更に、マージンビットに前置される14ビットデータD_bのNRZI波形の最終信号レベル（以下、CWL Lという）を示す1ビットの信号（ローレベルの時“0”、ハイレベルの時“1”）と、マージンビットに後置される14ビットデータD_pのDSVを2の補数で表す5ビットの信号が供給される。

【0051】4ビットの禁止信号の各ビットは、例えば上位ビットから順に各マージンビット“001”、“010”、“100”および“000”に対応し、EFM3T~11Tルールによって禁止されるマージンビット、およびフレームシンクが誤って発生するマージンビットに対応するビットには、フラグ“1”が立てられる。例えばマージンビットの前に置かれる14ビットデータD_bの終端の“0”の個数Bが4、後に置かれる14ビットデータD_pの先端の“0”の個数Aが5の場合、EFM3T~11Tルールによりマージンビット“000”の使用は禁止され、4ビットの禁止信号“0001”が禁止マージンビット判別回路20からプログラマブルロジックアレイ（PLA）43に出力される。

【0052】DSV積分回路60から入力する3ビットの制御信号（第1ビットは累積DSVの増加命令“+”を、第2ビットはその平衡命令“0”を、また第3ビットはその減少命令“-”を表す場合、それぞれ“1”とされる）はCWL L信号をゲート信号とするデコーダ41を介してPLA43に供給される。ここで、デコーダ41はCWL Lの極性にかかわらず、PLA43が最適なマージンビット44を出力し得るように変換した3ビット制御信号をPLA43に出力する。即ち、CWL L=“1”の場合、入力する制御信号が増加命令“100”なら減少命令“001”に変換し、減少命令“001”なら増加命令“100”に変換し、また、平衡命令“010”ならそのまま変換せずにPLA43に出力する。

【0053】14ビットデータD_pのDSV、即ちマージンビットの後に14ビットデータD_pを付加した場合の累積DSVの変化分（以下、14NWDという）は、5ビットの2の補数で表され、14NWD信号としてデコーダ42に入力し、次の5つのケースにデコードされる。

【0054】1) 14NWD \geq 3の場合、4ビット信号“1000”がデコーダ42からPLA43に出力される。

【0055】2) 14NWD=2の場合、4ビット信号“0100”がデコーダ42からPLA43に出力される。

【0056】3) 14NWD=1の場合、4ビット信号“0010”がデコーダ42からPLA43に出力される。

【0057】4) 14NWD=0の場合、4ビット信号“0001”がデコーダ42からPLA43に出力される。

【0058】5) 14NWD \leq -1の場合、4ビット信号“0000”がデコーダ42からPLA43に出力される。

【0059】PLA43は、11ビットの入力信号（禁止マージンビットを示す4ビット信号、累積DSVの制御方向を命令する3ビットの制御信号および14NWDの5つのケースを示す4ビット信号）の組み合わせに対応して最適なマージンビット44を一義的に出力する。

【0060】

【実施例】続いて、この発明の実施例について、図面を参照して詳細に説明する。

【0061】図1は、状況に応じて最適なマージンビット“100”、“010”、“001”または“000”を一義的に発生する、この発明に係るマージンビット発生回路40の一実施例を示すブロック図である。

【0062】図2は、上記マージンビット発生回路40を搭載した、この発明に係る変調回路を示すブロック図である。

【0063】まず、図2について説明する。

【0064】入力端子10には、図示しないデータ発生回路から前述のように1シンクフレーム当たり32シンボルのデータが入力する。8ビットの各シンボルはEFMR0M11によりそれぞれ14ビットデータに8-14変換される。

【0065】サブコーディングフレームを構成する98シンクフレームの第0および第1シンクフレームには、前述のように14ビットのサブコードシンク信号S0およびS1が付加される。このサブコードシンク信号S0、S1の付加は、図示しないサブコードシンクタイミング信号に基づいて、サブコードシンク付加回路12によって行われる。

【0066】疑似フレームシンク付加回路13は、図示しないフレームシンクタイミング信号に基づき、14ビットの疑似フレームシンク信号S' f (=“1xxxxxxx10”)を各シンクフレームの先頭に付加する。疑似フレームシンク信号S' fの先端1ビットおよび終端2ビットのビットパターンは正規の24ビットフレームシンク信号S f (=“100000000001000000000010”)のそれと同一であるので、マージンビットを選択する場合、他の14ビットデータと全く同一の処理が可能となる。

【0067】サブコードシンク信号S0、S1および疑似フレームシンク信号S' fを含む14ビットデータD_pは、順次レジスタ14に供給されてラッチされると共に、その上位12ビットは禁止マージンビット判別回路20に供給される。これと同時に、レジスタ14にそれまでラッチされていた前の14ビットデータD_bはフレームシンク変換回路15と禁止マージンビット判別回路20に出力されると共に、この14ビットデータD_bの下位2ビットはレジスタ31に格納される。前回格納し

た下位2ビット、つまり前々回の14ビットデータD_bの下位2ビットは、レジスタ31から禁止マージンビット判別回路20に供給される。また、後述するマージンビット発生回路40から供給される今回のマージンビットM_pはレジスタ32に格納される。前回格納した3ビットデータ、つまり前回のマージンビットM_bはレジスタ32から禁止マージンビット判別回路20に供給される。

【0068】禁止マージンビット判別回路20は、今回の14ビットデータD_pの上位12ビット、前回の14ビットデータD_b、前回のマージンビットM_bおよび前々回の14ビットデータD_bの下位2ビットに基づいて、EFM3T~11Tルールと例外的禁止ルールとに抵触するマージンビットを判別し、禁止信号としてマージンビット発生回路40に出力する。この禁止信号は4ビットからなり、各ビットは4種類のマージンビット“100”、“010”、“001”、“000”にそれぞれ対応する。例えば、EFM3T~11Tルールと例外的禁止ルールにより第1および第3マージンビット“100”、“001”が禁止される場合、4ビットの禁止信号は“1010”とされる。

【0069】ここで、疑似フレームシンク付加回路13、レジスタ14、31、32、並びに禁止マージンビット判別回路20は、判別回路30を構成する。

【0070】即ち、判別回路30は、サブコードシンク付加回路12から供給される14ビットデータD_pと、マージンビット発生回路40から供給されるマージンビットM_pとを入力信号とし、前回の14ビットデータD_bをフレームシンク変換回路15に出力すると共に、前回の14ビットデータD_bと今回の14ビットデータD_pとの連結に用いてはならないマージンビットを示す4ビットの禁止信号をマージンビット発生回路40に出力する。

【0071】図3は、禁止マージンビット判別のアルゴリズムを示す図である。

【0072】禁止マージンビット判別回路20は、入力信号D_p、D_b、M_bおよびD_bのうち、図3中にハッチングで示されるビットのテストを行い、その結果に応じて前回の14ビットデータD_bと今回の14ビットデータD_pとの連結に用いてはならないマージンビットMinhを判別し、4ビットの禁止信号Sinhをマージンビット発生回路40に供給する。

【0073】図3(A)において、EFM3T~11Tルールによる禁止マージンビットMinhの判別アルゴリズムは次の通りである。

【0074】1) 今回の14ビットデータD_pの前端的“0”の個数Aと、前回の14ビットデータD_bの終端的“0”の個数Bとの合計が8個以上(A+B≥8)の場合：マージンビット“000”が禁止される(Minh=“000”)。

【0075】2) 今回の14ビットデータD_pの最上位ビットC1が“1”(A=0)または次位ビットC2が“1”(A=1)、若しくは前回の14ビットデータD_bの終端的“0”の個数Bが9個(B=9)の場合：マージンビット“001”が禁止される(Minh=“001”)。

【0076】3) 今回の14ビットデータD_pの最上位ビットC1が“1”(A=0)、または前回の14ビットデータD_bの最下位ビットC14が“1”(B=0)の場合：マージンビット“010”が禁止される(Minh=“010”)。

【0077】4) 今回の14ビットデータD_pの終端的“0”の個数が9個(A=9)、若しくは前回の14ビットデータD_bの最下位ビットC14が“1”(B=0)または次位ビットC13が“1”(B=1)の場合：マージンビット“100”が禁止される(Minh=“100”)。

【0078】図3(B)において、EFM3T~11Tルールには抵触しないが、フレームシンク信号の誤発生を防止するために禁止されるマージンビット、即ち例外的禁止ルールによる禁止マージンビットの判定は次の通りである。

【0079】ケース(1)：前回の14ビットデータD_bの終端的“0”の個数Bが7個、かつ今回のタイミングでフレームシンク信号が発生する場合。

【0080】ケース(2)：前回にフレームシンク信号が発生しており、今回の14ビットデータのC1~C6が0(A=6)の場合。

【0081】ケース(3)：「B=7、かつD_pの上位11ビット=“100000000000”」の場合。

【0082】ケース(4)：「D_bの下位13ビット=“00000000000100”、かつA=5」の場合。

【0083】ケース(5)：「B=6、かつD_pの上位12ビット=“01000000000000”」の場合。

【0084】ケース(6)：「D_bの下位12ビット=“0000000000010”、かつA=6」の場合。

【0085】ケース(7)：「D_bの下位11ビット=“000000000001”、かつA=7」の場合。

【0086】ケース(8)：「前回のマージンビットM_b=“000”、かつD_b=“00000001000000”、かつA=1」の場合。

【0087】ケース(9)：「前々回の14ビットデータD_bの最下位ビットC14=“0”、かつM_b=“000”、かつD_b=“00000010000000”」の場合。

【0088】ケース(10)：「M_b=“x00”、かつD_b=“00000000100000”、かつA=2」の場合。

【0089】以上、ケース(1)~(10)の場合、マ

ージンビット“000”が禁止される(Minh=“000”)。

【0090】ケース(11):「Dbbの終端=“00”、かつMb=“000”、かつDb=“00000100000000”」の場合、マージンビット“001”が禁止される(Minh=“001”)。

【0091】図2において、フレームシンク変換回路15は、図示しないフレームシンクタイミングに基づいて、順次入力する14ビットデータのうち疑似フレームシンク信号S'fを正規の24ビットフレームシンク信号Sfに変換した後、また他の14ビットデータはそのまま、P/Sレジスタ16に供給する。24ビットのパラレルイン/シリアルアウト(P/S)レジスタ16は、4.3218MHzのチャネルビットクロックに基づいて、14ビットデータ(フレームシンク信号Sfの場合のみ24ビットデータ)と、3ビットデータ(マージンビット)とを交互にシリアル出力する。

【0092】4.3218Mbpsの速度で出力されるシリアル信号は、NRZI回路17によるNRZI変調後、EFM信号として、例えばロータリトランス、記録アンプを介して記録ヘッド、或いはレーザーダイオード(共に図示せず)に供給され、CD上にデジタル記録される。また、EFM信号が供給されるDSV積分回路60は、EFM信号のDC成分を17チャネルビットを単位として積分し、この累積DSVに基づいて3ビットの制御信号をマージンビット発生回路40に出力する。例えば、累積DSVが正極性の場合には、累積DSVの減少“-”を命令する“001”、累積DSVが零の場合には累積DSVの平衡“0”を命令する“010”、また累積DSVが負極性の場合には累積DSVの増加“+”を命令する“100”が、制御信号として出力される。

【0093】次に、図1に示すマージンビット発生回路40について説明する。

【0094】マージンビット発生回路40は、4種類のマージンビット“100”、“010”、“001”、“000”のうち最適なマージンビットを出力する。最適なマージンビットとは、2つの14ビットデータDbとDp間をこのマージンビットで連結することにより、連結箇所においてもEFM3T~11Tルールが成立し、かつフレームシンク信号の誤発生を防止すると共に、EFM信号の累積DSVを極力零に近づけるように選択されたマージンビットである。

【0095】この発明に係る変調回路(図2)のマージンビット発生回路40(図1)は、4種類のマージンビットを個々にテストしてその結果から最適マージンビットを決定し出力する従来例とは異なり、2つの14ビットデータのビットパターンや累積DSV等の状況に対応して一義的に最適マージンビットを出力するように構成されており、その入力信号は次の通りである。

【0096】第1に、禁止マージンビット判別回路20から4ビットの禁止信号が入力する。禁止信号は、EFM3T~11Tルールに抵触するため、あるいはフレームシンク信号を誤って発生するため2つの14ビットデータDbとDp間に挿入できないマージンビットがある場合、そのマージンビットに対応するビットを“1”にして使用禁止を示す。例えば、4種のマージンビット“100”、“010”、“001”、“000”のうち第1および第3マージンビットが使用禁止の場合、この4ビットの禁止信号は“1010”となる。

【0097】第2に、DSV積分回路60から累積DSVに対応して3ビットの制御信号が入力する。3ビットの制御信号は、上位ビットから順に累積DSVの望ましい制御方向が増加“+”、平衡“0”および減少“-”であることを示すものである。従って、累積DSV>0の場合、この制御信号を“001”として累積DSVの減少を命令し、累積DSV<0の場合、この制御信号を“100”として累積DSVの増加を命令し、また累積DSV=0の場合、この制御信号を“010”として累積DSVをなるべく増減させないように命令する。

【0098】第3および第4の入力信号として、5ビットの14NWD信号および1ビットのCWLL信号が入力する。

【0099】図4は、マージンビットによって結合される2つの14ビットデータDb、DpのNRZI波形例を示す図である。

【0100】前の14ビットデータDbにマージンビットを付加した場合の累積DSVの変化分、つまりマージンビットのDC成分(以下、マージンビットのDSVという)は、マージンビットの開始時におけるNRZI波形の信号レベル(以下、CWLLという)がローレベル(=“0”)の場合を基準として表される。即ち、図4(A)~(D)に示すように、第1マージンビット“100”のDSVは+3、第2マージンビット“010”のDSVは+1、第3マージンビット“001”のDSVは-1、また第4マージンビット“000”のDSVは-3である。CWLL=“1”(ハイレベル)の場合、これらマージンビットのDSVの値は逆符号となる。

【0101】同様に、14ビットデータDp付加時の累積DSVの変化分、つまり14ビットデータDpのDC成分(以下、14NWDという)は、14ビットデータDpの開始時におけるNRZI波形の信号レベルがローレベルの場合を基準として表される。即ち、図4に示す14ビットデータDp(=“00100100000100”)の14NWDは-2である。

【0102】14ビットデータDbに3ビットのマージンビットを用いて次の14ビットデータDpを連結した場合の累積DSVの変化分(以下、17NWDという)は、第1~第3マージンビットの場合、マージンビット

のDSVから14NWDを減算したものとなり、第4マージンビット“000”の場合にはマージンビットのDSVに14NWDを加算したものとなる。

【0103】図5はCWL=“0”（ローレベル）の場合に14NWDから17NWDを求めるノモグラフ、図6はCWL=“1”の場合に14NWDから17NWDを求めるノモグラフである。

【0104】図5中の(A)、(B)、(C)、(D)は、14ビットデータD_pが14NWD=-2の場合(図4)について、挿入する4種のマージンビット“100”、“010”、“001”、“000”に対する17NWDをそれぞれ示している。

【0105】図5(CWL=0)において、例えば、次の14ビットデータD_pの14NWDが3以上の場合について考える。まず、現在までの累積DSVが零または負なら、次の17NWDを零または正として、累積DSVを増加させ、累積DSVを零に近づけたい。14NWD \geq 3のケースで、17NWD \geq 0を可能とするマージンビットは“000”のみであり、これを第1優先とする。EFM3T~11Tルール、または例外的禁止ルールのため、第1優先のマージンビット“000”の挿入ができない場合、次善のマージンビット“100”を第2優先、マージンビット“010”を第3優先、マージンビット“001”を第4優先とすれば、CWL=0の場合で14NWD \geq 3のケースにおける最適マージンビットは、一義的に決定できる。即ち、従来のように4種のマージンビットを個々にテストする必要はない。

【0106】同じく、14NWD \geq 3の場合で、現在までの累積DSVが正なら、次の17NWDを負として、累積DSVを減少させたい。この場合、マージンビットの優先順位を“010”、“001”、“100”、“000”の順に定めれば、最適マージンビットは一義的に決定できる。

【0107】同様に、14NWD=2、14NWD=1、14NWD=0および14NWD \leq -1の各ケースについて、論理的に4種のマージンビットの優先順位を定める。

【0108】図6に示すCWL=“1”（ハイレベル）の場合についても同様に、次の14ビットデータD_pの14NWDが+3以上、+2、+1、0および-1以下の5つのケースについて、それぞれマージンビットの優先順位を定める。但し、CWL=“0”の場合を示す図5と、CWL=“1”の場合を示す図6とを比較すれば明らかなように、両フラグはx軸(14NWDを示す軸)対称であるから、図6のy軸(17NWDを示す軸)の符号を逆にすれば、図6のグラフは図5と同一になる。即ち、CWL=“1”の場合、3ビットの制御信号を、“100”(=累積DSVの増加命令)なら“001”(=減少指令)に、また“001”なら“100”に変換することにより、CWL=“0”の

場合の最適マージンビット決定アルゴリズムをCWL=“1”の場合にもそのまま適用することができる。

【0109】図1に示したこの発明に係るマージンビット発生回路40の動作について説明する。

【0110】41は、CWL=“0”の場合のマージンビット決定アルゴリズムがCWL=“1”の場合にも共用できるように、3ビットの制御信号をCWL信号をゲート信号として変換するデコーダであり、その真理値表を図7(A)に示す。

【0111】42は5ビットの2の補数で表される14NWDを、上述した5つのケースを示す4ビット信号に変換するデコーダであり、その真理値表を図7(B)に示す。

【0112】43は、禁止マージンビット判別回路20から供給される4ビットの禁止信号とデコーダ41から供給される3ビットの制御信号とデコーダ42から供給される4ビット信号とを入力とし、最適マージンビット44を出力するように予めプログラムされたPLA(プログラマブルロジックアレイ)である。PLA43にプログラムされた真理値表を図8(A)~(D)に示す。ここで、図8(A)、(B)はCWL=“0”の場合の52タームの真理値表、また図8(C)、(D)はCWL=“1”の場合の52タームの真理値表である。

【0113】上述したように、CWL=“0”の場合とCWL=“1”の場合とは、デコーダ41を用いた変換により同一の真理値表が共用できるので、PLA43に実際にプログラムされるのは52タームの真理値表である。

【0114】図において、“1”は成立(フラグ)を、“0”は不成立を示す。また、“x”は成立または不成立どちらでもかまわない。例えば、真理値表(図8

(A)の)の最上段に示した4行(ターム)の意味は次の通りである。

【0115】CWL=0かつ制御信号=“xxx0”（少なくとも減少命令ではない）の場合、14NWD \geq 3のケースなら、マージンビットの優先順位は高い方から順に“000”、“100”、“010”、“001”である。即ち、第1優先のマージンビット“000”が禁止されていなければ（禁止信号=“xxx0”）、これを最適マージンビットとして出力する。第1優先のマージンビット“000”が禁止され、かつ第2優先のマージンビット“100”が禁止されていなければ（禁止信号=“xx01”）、第2優先のマージンビット“100”をこの場合の最適マージンビットとして出力する。第1および第2優先のマージンビットが共に禁止され、かつ第3優先のマージンビットが禁止されていなければ（禁止信号=“x011”）、第3優先のマージンビット“010”をこの場合の最適マージンビットとして出力する。第1~第3優先のマージンビットが全て禁止されている場合（禁止信号=“011

1”）、第4優先のマージンビット“001”を出力する。

【0116】このようにして、個々のマージンビットを実際にテストすることなく、PLA43によって論理的に決定された最適マージンビット44が出力される。

【0117】なお、CD方式準拠の変調回路について上述したが、この発明の技術思想は、入力するmビット符号をn（但し、 $n > m$ ）チャネルビットパターンに変換し、このnチャネルビットパターン間を複数種類のマージンビットのうちの1つで結合して、最長および最短記録波長を制限すると共に、記録波形の低域成分を抑圧する変調回路一般に適用できることは明かである。

【0118】

【発明の効果】上述のように、この発明に係るマージンビット発生回路を備えた変調回路によれば、従来のように並列に、または時分割で個々のマージンビットをテストすることなく、簡単な論理回路を用いて最適マージンビットが高速かつ一義的に出力できるので、回路規模の縮小と集積回路化が容易に可能となる。

【図面の簡単な説明】

【図1】この発明に係るマージンビット発生回路40の一例を示すブロック図である。

【図2】同マージンビット発生回路を適用した、この発明に係る変調回路の一実施例を示すブロック図である。

【図3】禁止マージンビット判別の説明図である。

【図4】2つの14ビットデータをマージンビットで連結した場合のEFM信号波形の説明図である。

【図5】CWL Lが“0”の場合に、14NWDから1

7NWDを求めるノモグラフである。

【図6】CWL Lが“1”の場合に14NWDから17NWDを求めるノモグラフである。

【図7】デコーダ41および42の真理値表を示す図である。

【図8】プログラマブルロジックアレイ43の真理値表を示す図である。

【図9】CD方式の信号フォーマットを示す図である。

【図10】サンプル値とEFM信号の説明図である。

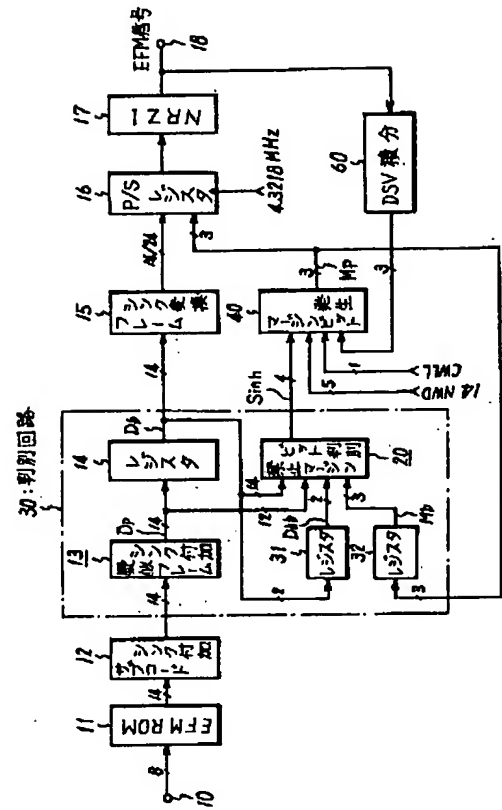
【図11】従来の変調回路例を示すブロック図である。

【符号の説明】

- 11 EFMROM
- 12 サブコードシンク付加回路
- 13 疑似フレームシンク付加回路
- 14 レジスタ
- 15 フレームシンク変換回路
- 16 パラレルイン/シリアルアウト(P/S)レジスタ
- 17 NRZI変調回路
- 18 EFM信号
- 20 禁止マージンビット判別回路
- 40 マージンビット発生回路
- 41, 42 デコーダ
- 43 プログラマブルロジックアレイ(PLA)
- 44 最適マージンビット
- 60 デジタルサムヴァリエーション(DSV)積分回路

【図 2】

本発明の変調回路



CWLL = 0° のモノグラフ

EFM 3T ~ 11Tルールによる判別

氣血 →

(A)

例外的禁止ルールによる判別

前々回の14ビットデータD _b (レジスタ13の出力)		前回の7ビットデータD _b (レジスタ14の出力)		今回の14ビットデータD _b (レジスタ15の出力)														禁止7ビットデータD _b (レジスタ16の出力)		今回の14ビットデータD _b (レジスタ17の出力)																
C12	C13	C14	M1	M2	M3	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	M1	M2	M3	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X																			

時刻

(B)

【図7】

デコーダ41, 42の真理値表

デコーダ41の真理値表

	入 力		出 力
	CWLL	DSV積分回路60 からの制御信号	
(A) 0	0	100 (増加指令)	100
		010 (平衡指令)	010
		001 (減少指令)	001
1	1	100 (増加指令)	001
		010 (平衡指令)	010
		001 (減少指令)	100

デコーダ42の真理値表

	入 力 (14NWD)	出 力	
(B)	⋮ 00100 00011	1000	$14NWD \geq 3$
	00010	0100	$14NWD = 2$
	00001	0010	$14NWD = 1$
	00000	0001	$14NWD = 0$
	11111 11110 ⋮	0000	$14NWD \leq -1$

【図8】

(A) PLA43の真理値表

CML	14NWD					禁止信号				制御信号			マジンビット出力	優先順	備考
	≤-1	0	1	2	+3≤	001	010	100	000	+	0	-			
0	x	0	0	0	1	x	x	x	0	x	x	0	000	1	14NWD=3以上で、
	同 上					x	x	0	1	同 上			100	2	制御信号が
						x	0	1	1				010	3	「増加」または
						0	1	1	1				001	4	「平衡」の場合
						x	0	x	x	x	x	1	010	1	14NWD=3以上で、
	同 上					0	1	x	x	同 上			001	2	制御信号が
						1	1	0	x				100	3	「増加」または
						1	1	1	0				000	4	「平衡」の場合
	x	0	0	1	0	x	x	0	x	x	x	0	100	1	14NWD=2で
	同 上					x	x	1	0	同 上			000	2	制御信号が
						x	0	1	1				010	2	「増加」または
						0	1	1	1				001	3	「平衡」の場合
						x	x	x	0	x	x	1	000	1	14NWD=2で
	同 上					x	0	x	1	同 上			010	1	制御信号が
						0	1	x	1				001	2	「減少」の場合
						1	1	0	1				100	3	
	x	0	1	0	0	x	x	0	x	1	x	x	100	1	14NWD=1で
	同 上					x	0	1	x	同 上			010	2	制御信号が
						0	1	1	x				001	3	「増加」の場合
						1	1	1	0				000	3	
						x	0	x	x	x	1	x	010	1	14NWD=1で
	同 上					0	1	x	x	同 上			001	2	制御信号が
						1	1	0	x				100	2	「増加」の場合
						1	1	1	0				000	2	
						x	x	x	0	x	x	1	000	1	14NWD=1で
	同 上					0	x	x	1	同 上			001	1	制御信号が
						1	0	x	1				010	2	「減少」の場合
						1	1	0	1				100	3	

(B) PLA 43 の真理値表

CWL	14NWD					禁止信号				制御信号			マージン ビット 出力	優先 順位	備 考
	≤ -1	0	1	2	$+3 \leq$	001	010	100	000	+	0	-			
0	x	1	0	0	0	x	x	0	x	1	x	x	100	1	14NWD = 0 で
	同 上					x	0	1	x	同 上			010	2	制御信号が
						0	1	1	x				001	3	「増加」の場合
						1	1	1	0				000	4	
						x	0	x	x	x	1	x	010	1	14NWD = 0 で
						0	1	x	x	同 上			001	1	制御信号が
						1	1	0	x				100	2	「平衡」の場合
						1	1	1	0				000	2	
						x	x	x	0	x	x	1	000	1	14NWD = 0 で
						0	x	x	1	同 上			001	2	制御信号が
						1	0	x	1				010	3	「減少」の場合
						1	1	0	1				100	4	
	x	0	0	0	0	x	0	x	x	1	x	x	010	1	14NWD = -1 以下で
	同 上					x	1	0	x	同 上			100	2	制御信号が
						0	1	1	x				001	3	「増加」の場合
						1	1	1	0				000	4	
						0	x	x	x	x	1	x	001	1	14NWD = -1 以下で
						1	0	x	x	同 上			010	2	制御信号が
						1	1	0	x				100	3	「平衡」の場合
						1	1	1	0				000	3	
						x	x	x	0	x	x	1	000	1	14NWD = -1 以下で
						0	x	x	1	同 上			001	2	制御信号が
						1	0	x	1				010	3	「減少」の場合
						1	1	0	1				100	4	

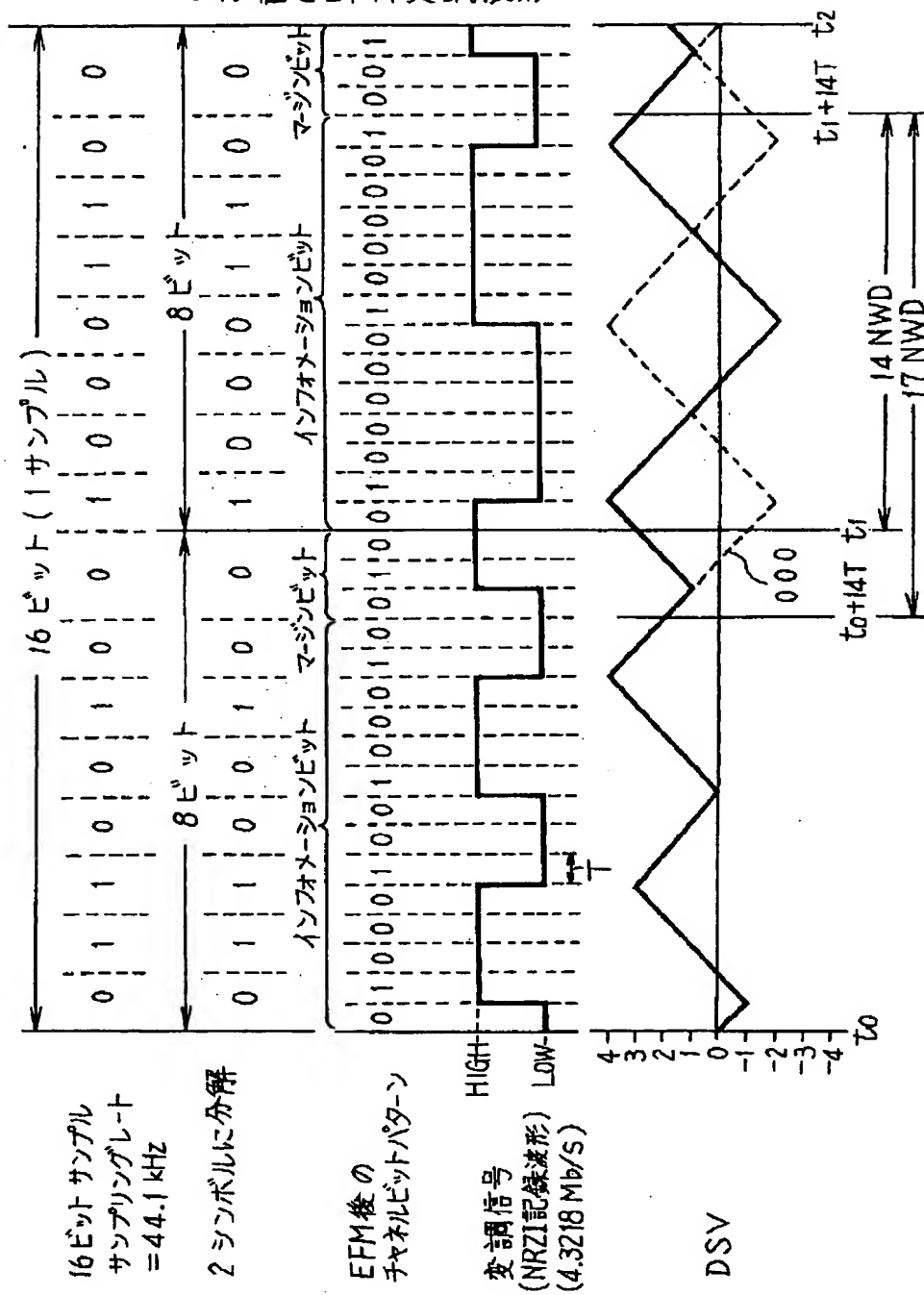
(C) PLA 43の真理値表

CML	14NWD					禁止信号				制御信号			レジスタビット出力	優先順位	備考
	≤ -1	0	1	2	$+3 \leq$	001	010	100	000	+	0	-			
1	x	0	0	0	1	x	x	x	0	0	x	x	000	1	14NWD=+3以上で
	同 上					x	x	0	1	同 上			100	2	制御信号が
						x	0	1	1				010	3	「減少」または
						0	1	1	1				001	4	「平衡」の場合
						x	0	x	x	1	x	x	010	1	14NWD=3以上で
						0	1	x	x	同 上			001	2	制御信号が
						1	1	0	x				100	3	「増加」の場合
						1	1	1	0				000	3	
						x	x	0	x	0	x	x	100	1	14NWD=2で
	同 上					x	x	1	0	同 上			000	2	制御信号が
						x	0	1	1				010	2	「減少」または
						0	1	1	1				001	3	「平衡」の場合
						x	x	x	0	1	x	x	000	1	14NWD=2で
						x	0	x	1	同 上			010	1	制御信号が
						0	1	x	1				001	2	「増加」の場合
						1	1	0	1				100	3	
						x	x	0	x	x	x	1	100	1	14NWD=1で
	同 上					x	0	1	x	同 上			010	2	制御信号が
						0	1	1	x				001	3	「減少」の場合
						1	1	1	0				000	3	
						x	0	x	x	x	1	x	010	1	14NWD=1で
						0	1	x	x	同 上			001	2	制御信号が
						1	1	0	x				100	2	「平衡」の場合
						1	1	1	0				000	2	
						x	x	x	0	1	x	x	000	1	14NWD=1で
						0	x	x	1	同 上			001	1	制御信号が
						1	0	x	1				010	2	「増加」の場合
						1	1	0	1				100	3	

(D) PLA 43 の真理値表

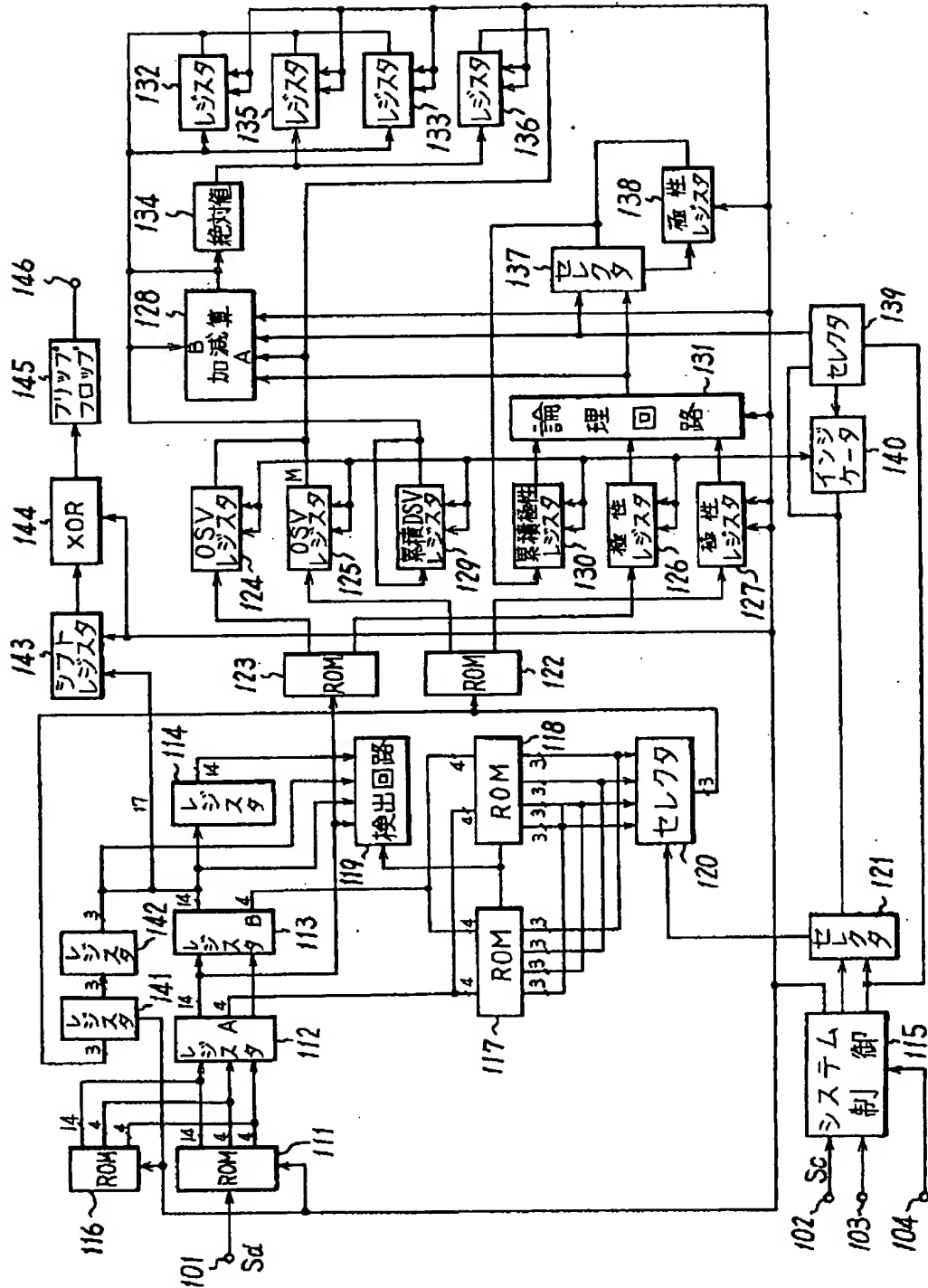
CWL	14NWD					禁止信号				制御信号			マージン ビット 出力	優先 順	備考
	≤ -1	0	1	2	$+3 \leq$	001	010	100	000	+	0	-			
1	x	1	0	0	0	x	x	0	x	x	x	1	100	1	14NWD=0で
	同 上					x	0	1	x	同 上			010	2	制御信号が 「減少」の場合
						0	1	1	x				001	3	
						1	1	1	0				000	4	
						x	0	x	x	x	1	x	010	1	
						0	1	x	x	同 上			001	1	14NWD=0で 制御信号が 「平衡」の場合
						1	1	0	x				100	2	
						1	1	1	0				000	2	
						x	x	x	0	1	x	x	000	1	
	同 上					0	x	x	1	同 上			001	2	14NWD=0で 制御信号が 「増加」の場合
						1	0	x	1				010	3	
						1	1	0	1				100	4	
						x	0	x	x	x	x	1	010	1	
						x	1	0	x	同 上			100	2	14NWD=-1以下で 制御信号が 「減少」の場合
						0	1	1	x				001	3	
						1	1	1	0				000	4	
						0	x	x	x	x	1	x	001	1	
	同 上					1	0	x	x	同 上			010	2	14NWD=-1以下で 制御信号が 「平衡」の場合
						1	1	0	x				100	3	
						1	1	1	0				000	3	
						x	x	x	0	1	x	x	000	1	
						0	x	x	1	同 上			001	2	14NWD=-1以下で 制御信号が 「増加」の場合
						1	0	x	1				010	3	
						1	1	0	1				100	4	
						x	x	x	0				000	1	

サンプル値とEFM変調波形



【図11】

従来の変調回路



【手続補正書】

【提出日】平成4年6月2日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図13(A)は、CD方式の信号フォーマットの概要を示す図であり、変調方式としては8-14変換（以下、EFMという）が用いられる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】図13(B)はCD方式のフレーム構成を示す図である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】ここで、変調回路に入力する各シンボルは、例えば、ルックアップテーブルROMを参照して、“1”と“1”間の“0”の個数が2個以上かつ10個以下のチャンネルビットパターンにそれぞれ変換される。また、フレーム同期信号Sfのチャンネルビットパターンは“1000000000001000000000010”であり、マージンビットパターンは“000”、“001”、“010”および“100”のうちのひとつが選択される。更に、1サブコーディングフレームは98フレームで構成され、第0および第1フレームのサブコードとしてサブコードシンク信号S₀(=“00100000000001”)、S₁(=“00000000010010”)が付加される(図13(C)参照)。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】図14は、サンプル値の1例について、EFM後のチャンネルビットパターンとDSV（ディジタルサムバリエーション）を示す図である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】このように、任意のチャンネルビット“1”

と次のチャンネルビット“1”の間には2個以上10個以下のチャンネルビット“0”が介在するので、NRZI記録波形のハイレベルまたはローレベルの継続期間（記録波長）は必ず3T以上11T以下となる（図14参照）。即ち、この場合、最短記録波長は3T、最長記録波長は11Tである。但し、Tはチャンネルクロック4.3218MHzの1周期であり、以下、これをEFM3T~11Tルールという。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】マージンビットとして“010”を挿入したときのDSVを実線で、また“000”を挿入したときのDSVを点線で図14に示す。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】図15は、特開平1-第319178号で開示された変調回路のブロック図である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正内容】

【0072】禁止マージンビット判別回路20は、入力信号D_p、D_b、M_bおよびD_bbのうち、図3、図4中にハッチングで示されるビットのテストを行い、その結果に応じて前回の14ビットデータD_bと今回の14ビットデータD_pとの連結に用いてはならないマージンビットMinhを判別し、4ビットの禁止信号Sinhをマージンビット発生回路40に供給する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】図3において、EFM3T~11Tルールによる禁止マージンビットMinhの判別アルゴリズムは次の通りである。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正内容】

【0078】図4において、EFM3T~11Tルール

には抵触しないが、フレームシンク信号の誤発生を防止するために禁止されるマージンビット、即ち例外的禁止ルールによる禁止マージンビットの判定は次の通りである。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正内容】

【0099】図5は、マージンビットによって結合される二つの14ビットデータD_b、D_pのNRZI波形例を示す図である。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0100

【補正方法】変更

【補正内容】

【0100】前の14ビットデータD_bにマージンビットを付加した場合の累積DSVの変化分、つまりマージンビットのDC成分（以下、マージンビットのDSVという）は、マージンビットの開始時におけるNRZI波形の信号レベル（以下、CWL_Lという）がローレベル（＝“0”）の場合を基準として表される。即ち、図5（A）～（D）に示すように、第1マージンビット“100”のDSVは+3、第2マージンビット“010”のDSVは+1、第3マージンビット“001”のDSVは-1、また第4マージンビット“000”のDSVは-3である。CWL_L＝“1”（ハイレベル）の場合、これらマージンビットのDSVの値は逆符号となる。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正内容】

【0101】同様に、14ビットデータD_p付加時の累積DSVの変化分、つまり14ビットデータD_pのDC成分（以下、14NWDという）は、14ビットデータD_pの開始時におけるNRZI波形の信号レベルがローレベルの場合を基準として表される。即ち、図5に示す14ビットデータD_p（＝“00100100000100”）の14NWDは-2である。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正内容】

【0103】図6はCWL_L＝“0”（ローレベル）の場合に14NWDから17NWDを求めるノモグラフ、図7はCWL_L＝“1”の場合に14NWDから17N

WDを求めるノモグラフである。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】図6中の（A）、（B）、（C）、（D）は、14ビットデータD_pが14NWD＝-2の場合（図5）について、挿入する4種のマージンビット“100”、“010”、“001”、“000”に対する17NWDをそれぞれ示している。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正内容】

【0105】図6（CWL_L＝0）において、例えば、次の14ビットデータD_pの14NWDが3以上の場合について考える。まず、現在までの累積DSVが零または負なら、次の17NWDを零または正として、累積DSVを増加させ、累積DSVを零に近づけたい。14NWD≥3のケースで、17NWD≥0を可能とするマージンビットは“000”のみであり、これを第1優先とする。EFM3T～11Tルール、または例外的禁止ルールのため、第1優先のマージンビット“000”の挿入ができない場合、次善のマージンビット“100”を第2優先、マージンビット“010”を第3優先、マージンビット“001”を第4優先とすれば、CWL_L＝0の場合で14NWD≥3のケースにおける最適マージンビットは、一義的に決定できる。即ち、従来のように4種のマージンビットを個々にテストする必要はない。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0108

【補正方法】変更

【補正内容】

【0108】図7に示すCWL_L＝“1”（ハイレベル）の場合についても同様に、次の14ビットデータD_pの14NWDが+3以上、+2、+1、0および-1以下の5つのケースについて、それぞれマージンビットの優先順位を定める。但し、CWL_L＝“0”の場合を示す図6と、CWL_L＝“1”の場合を示す図7とを比較すれば明らかなように、両フラグはx軸（14NWDを示す軸）対称であるから、図7のy軸（17NWDを示す軸）の符号を逆にすれば、図7のグラフは図5と同一になる。即ち、CWL_L＝“1”の場合、3ビットの制御信号を、“100”（＝累積DSVの増加命令）なら“001”（＝減少指令）に、また“001”なら“100”に変換することにより、CWL_L＝“0”の場合の最適マージンビット決定アルゴリズムをCWL_L

= “1” の場合にもそのまま適用することができる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正内容】

【0110】41は、CWL L = “0” の場合のマージンビット決定アルゴリズムがCWL L = “1” の場合にも共用できるように、3ビットの制御信号をCWL L信号をゲート信号として変換するデコーダであり、その真理値表を図8 (A) に示す。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正内容】

【0111】42は5ビットの2の補数で表される14 NWDを、上述した5つのケースを示す4ビット信号に変換するデコーダであり、その真理値表を図8 (B) に示す。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0112

【補正方法】変更

【補正内容】

【0112】43は、禁止マージンビット判別回路20から供給される4ビットの禁止信号とデコーダ41から供給される3ビットの制御信号とデコーダ42から供給される4ビット信号とを入力とし、最適マージンビット44を出力するように予めプログラムされたPLA (プログラマブルロジックアレイ) である。PLA 43にプログラムされた真理値表を図9～図12に示す。ここで、図9、図10はCWL L = “0” の場合の52タームの真理値表、また図11、図12はCWL L = “1” の場合の52タームの真理値表である。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0114

【補正方法】変更

【補正内容】

【0114】図において、“1” は成立 (フラグ) を、“0” は不成立を示す。また、“x” は成立または不成立どちらでもかまわない。例えば、真理値表 (図9) の最上段に示した4行 (ターム) の意味は次の通りである。

【手続補正書】

【提出日】平成6年1月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】この発明に係るマージンビット発生回路40の一例を示すブロック図である。

【図2】同マージンビット発生回路を適用した、この発明に係る変調回路の一実施例を示すブロック図である。

【図3】禁止マージンビット判別の説明図である。

【図4】禁止マージンビット判別の説明図である。

【図5】2つの14ビットデータをマージンビットで連結した場合のEFM信号波形の説明図である。

【図6】CWL Lが“0”の場合に、14 NWDから17 NWDを求めるノモグラフである。

【図7】CWL Lが“1”の場合に14 NWDから17 NWDを求めるノモグラフである。

【図8】デコーダ41および42の真理値表を示す図である。

【図9】プログラマブルロジックアレイ43の真理値表を示す図である。

【図10】プログラマブルロジックアレイ43の真理値

表を示す図である。

【図11】プログラマブルロジックアレイ43の真理値表を示す図である。

【図12】プログラマブルロジックアレイ43の真理値表を示す図である。

【図13】CD方式の信号フォーマットを示す図である。

【図14】サンプル値とEFM信号の説明図である。

【図15】従来の変調回路例を示すブロック図である。

【符号の説明】

11 EFMROM

12 サブコードシンク付加回路

13 疑似フレームシンク付加回路

14 レジスタ

15 フレームシンク変換回路

16 パラレルイン/シリアルアウト (P/S) レジスタ

17 NRZI変調回路

18 EFM信号

20 禁止マージンビット判別回路

40 マージンビット発生回路

41, 42 デコーダ

43 プログラマブルロジックアレイ (PLA)

44 最適マージンビット

60 デジタルサムバリエーション (DSV) 積分回路

【手続補正2】

【補正対象書類名】図面

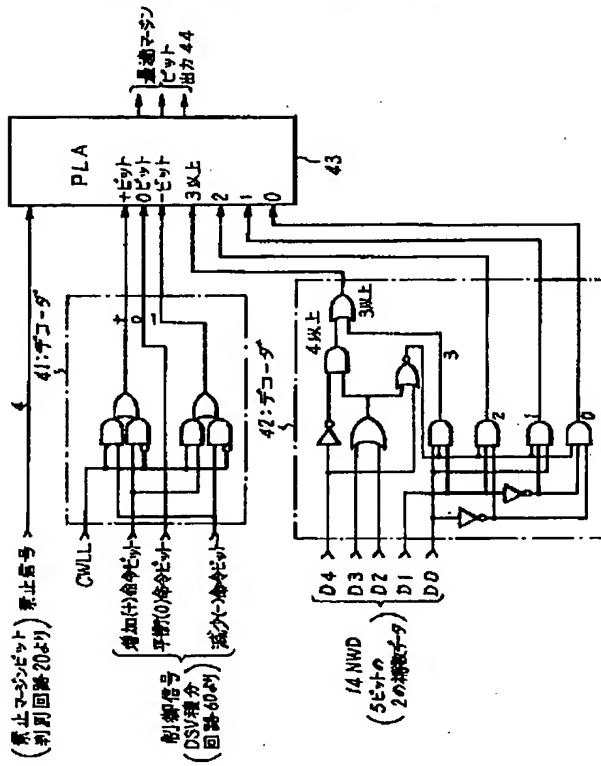
【補正対象項目名】全図

【補正方法】変更

【補正内容】

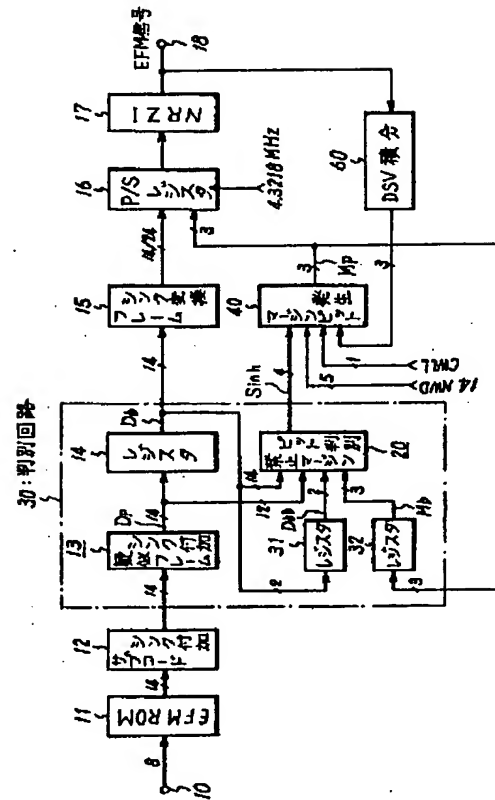
【図1】

本発明のマージンビット発生回路 40



【図2】

本発明の変調回路



EFM3T~11Tルールによる判別

[illegible]

↑
寂世

【図4】

例外的禁止ルールによる判別

第k回の14ビットデータDp (レジスタ14の出力)	前回の14ビットデータDb (レジスタ14の出力)							禁止 パージメント Minh							今回の14ビットデータDP (擬似フレームシンク付加回路13の出力)																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1		M3	M2	M1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																													
(1)	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0</

【図8】

デコーダ41, 42の真理値表

デコーダ41の真理値表

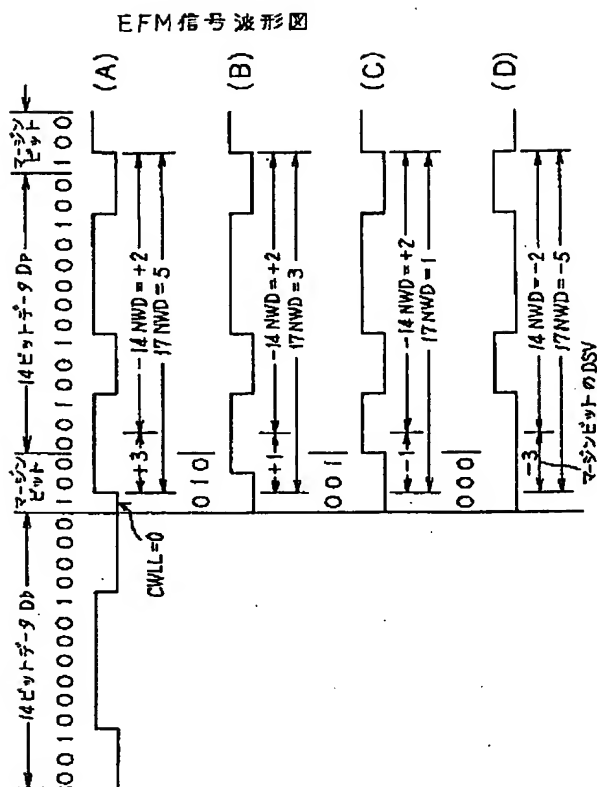
CWL L	入 力		出 力
	DSV積分回路BO からの制御信号		
0	100 (増加指令)	100	
	010 (平衡指令)	010	
	001 (減少指令)	001	
1	100 (増加指令)	001	
	010 (平衡指令)	010	
	001 (減少指令)	100	

デコーダ42の真理値表

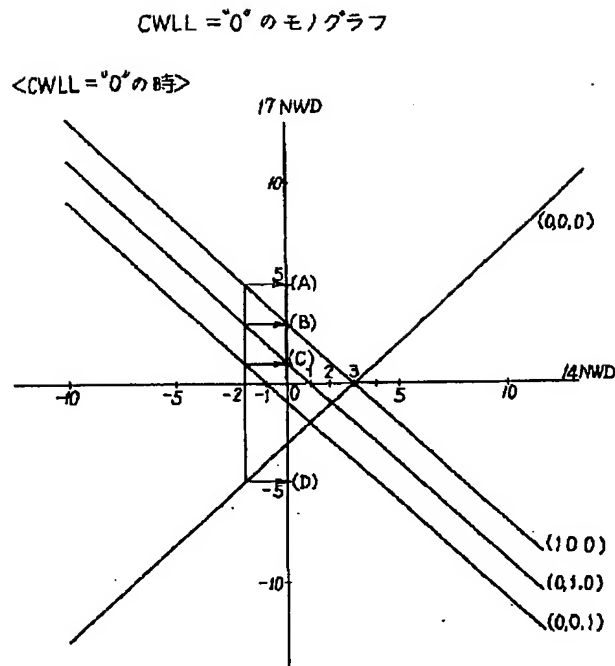
(B)	入 力 (14NWD)		出 力	
	00100 00011	1000	14NWD ≥ 3	
	00010	0100	14NWD = 2	
	00001	0010	14NWD = 1	
	00000	0001	14NWD = 0	
	11111 11110	0000	14NWD ≤ -1	

時刻
↑

【図5】



【図6】

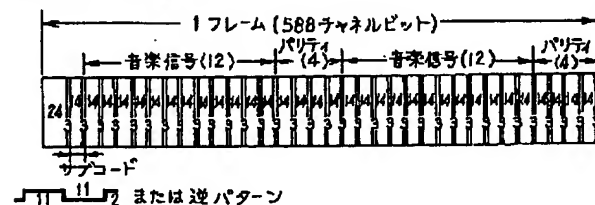


【図13】

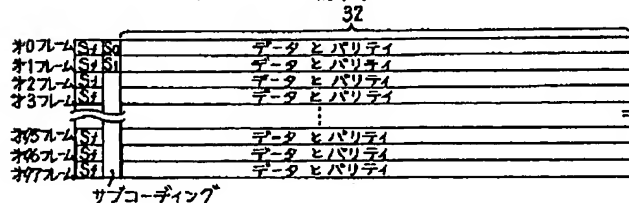
(A) CD方式の信号フォーマット

サンプリング周波数	44.1 kHz
量子化数	16ビット(直線)
変調方式	EFM
チャンネルビットレート	4.3218 Mb/s
誤り訂正方式	CIRC
データ伝送レート	2.034 Mb/s

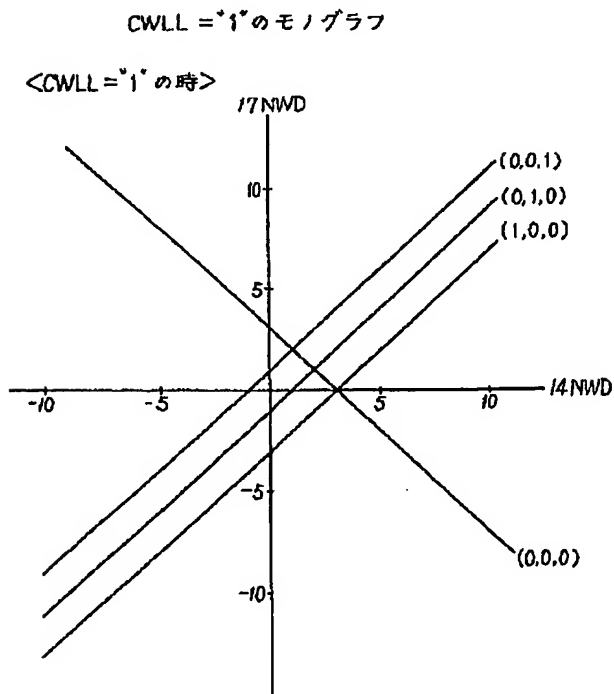
(B) フレーム構成



(C) サブコーディングフレーム構成



【図7】



【図9】

PLA 43の真理値表

CWL	14NWD					禁止信号				制御信号			マジンビット出力	優先順	備考
	≤-1	0	1	2	+3≤	001	010	100	000	+	0	-			
0	x	0	0	0	1	x	x	x	0	x	x	0	000	1	14NWD=3以上で、
	同上					x	x	0	1	同上			100	2	制御信号が
						x	0	1	1				010	3	「増加」または
						0	1	1	1				001	4	「平衡」の場合
						x	0	x	x	x	x	1	010	1	14NWD=3以上で、
						0	1	x	x	同上			001	2	制御信号が
						1	1	0	x				100	3	「増加」または
						1	1	1	0				000	4	「平衡」の場合
	x	0	0	1	0	x	x	0	x	x	x	0	100	1	14NWD=2で
	同上					x	x	1	0	同上			000	2	制御信号が
						x	0	1	1				010	2	「増加」または
						0	1	1	1				001	3	「平衡」の場合
						x	x	x	0	x	x	1	000	1	14NWD=2で
						x	0	x	1	同上			010	1	制御信号が
						0	1	x	1				001	2	「減少」の場合
						1	1	0	1				100	3	
	x	0	1	0	0	x	x	0	x	1	x	x	100	1	14NWD=1で
	同上					x	0	1	x	同上			010	2	制御信号が
						0	1	1	x				001	3	「増加」の場合
						1	1	1	0				000	3	
						x	0	x	x	x	1	x	010	1	14NWD=1で
						0	1	x	x	同上			001	2	制御信号が
						1	1	0	x				100	2	「増加」の場合
						1	1	1	0				000	2	
						x	x	x	0	x	x	1	000	1	14NWD=1で
						0	x	x	1	同上			001	1	制御信号が
						1	0	x	1				010	2	「減少」の場合
						1	1	0	1				100	3	

【図10】

PLA 43 の真理値表

CWL	14NWD					禁止信号				制御信号			マージン ビット 出力	優先 順	備 考
	≤ -1	0	1	2	$+3 \leq$	001	010	100	000	+	0	-			
0	x	1	0	0	0	x	x	0	x	1	x	x	100	1	14NWD = 0 で、
	同 上					x	0	1	x	同 上			010	2	制御信号が
						0	1	1	x				001	3	「増加」の場合
						1	1	1	0				000	4	
						x	0	x	x	x	1	x	010	1	14NWD = 0 で、
	同 上					0	1	x	x	同 上			001	1	制御信号が
						1	1	0	x				100	2	「平衡」の場合
						1	1	1	0				000	2	
						x	x	x	0	x	x	1	000	1	14NWD = 0 で、
	同 上					0	x	x	1	同 上			001	2	制御信号が
						1	0	x	1				010	3	「減少」の場合
						1	1	0	1				100	4	
	x	0	0	0	0	x	0	x	x	1	x	x	010	1	14NWD = -1 以下で
	同 上					x	1	0	x	同 上			100	2	制御信号が
						0	1	1	x				001	3	「増加」の場合
						1	1	1	0				000	4	
						0	x	x	x	x	1	x	001	1	14NWD = -1 以下で
						1	0	x	x	同 上			010	2	制御信号が
						1	1	0	x				100	3	「平衡」の場合
						1	1	1	0				000	3	
						x	x	x	0	x	x	1	000	1	14NWD = -1 以下で
	同 上					0	x	x	1	同 上			001	2	制御信号が
						1	0	x	1				010	3	「減少」の場合
						1	1	0	1				100	4	

【図11】

PLA 43の真理値表

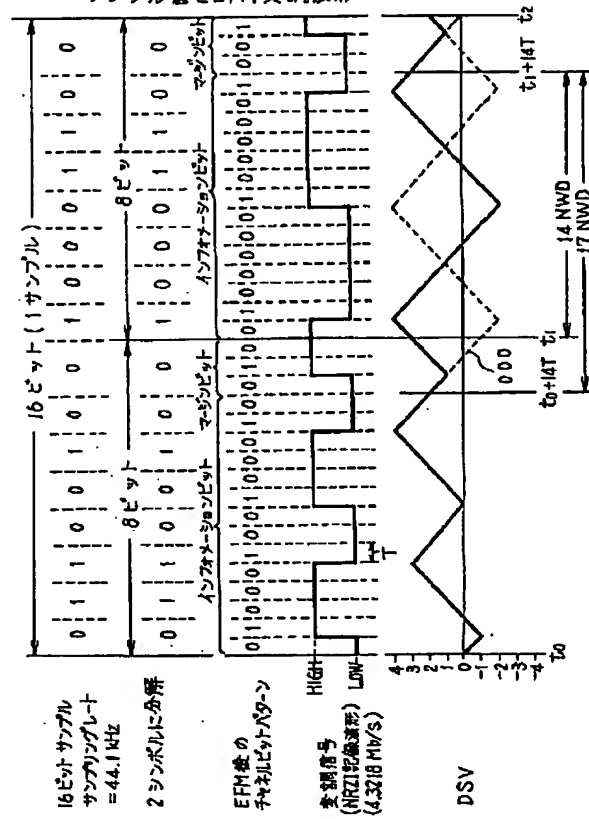
CWL	14NWD					禁止信号				制御信号			マジンビット 出力	優先順	備 考
	≤-1	0	1	2	+3≤	001	010	100	000	+	0	-			
1	x	0	0	0	1	x	x	x	0	0	x	x	000	1	14NWD=+3以上で
	同 上					x	x	0	1	同 上			100	2	制御信号が
						x	0	1	1				010	3	「減少」または
						0	1	1	1				001	4	「平衡」の場合
						x	0	x	x	1	x	x	010	1	14NWD=3以上で
						0	1	x	x	同 上			001	2	制御信号が
						1	1	0	x				100	3	「増加」の場合
						1	1	1	0				000	3	
	x	0	0	1	0	x	x	0	x	0	x	x	100	1	14NWD=2で
	同 上					x	x	1	0	同 上			000	2	制御信号が
						x	0	1	1				010	2	「減少」または
						0	1	1	1				001	3	「平衡」の場合
						x	x	x	0	1	x	x	000	1	14NWD=2で
						x	0	x	1	同 上			010	1	制御信号が
						0	1	x	1				001	2	「増加」の場合
						1	1	0	1				100	3	
	x	0	1	0	0	x	x	0	x	x	x	1	100	1	14NWD=1で
	同 上					x	0	1	x	同 上			010	2	制御信号が
						0	1	1	x				001	3	「減少」の場合
						1	1	1	0				000	3	
						x	0	x	x	x	1	x	010	1	14NWD=1で
						0	1	x	x	同 上			001	2	制御信号が
						1	1	0	x				100	2	「平衡」の場合
						1	1	1	0				000	2	
						x	x	x	0	1	x	x	000	1	14NWD=1で
	同 上					0	x	x	1	同 上			001	1	制御信号が
						1	0	x	1				010	2	「増加」の場合
						1	1	0	1				100	3	
						1	1	0	1				100	3	

【図12】

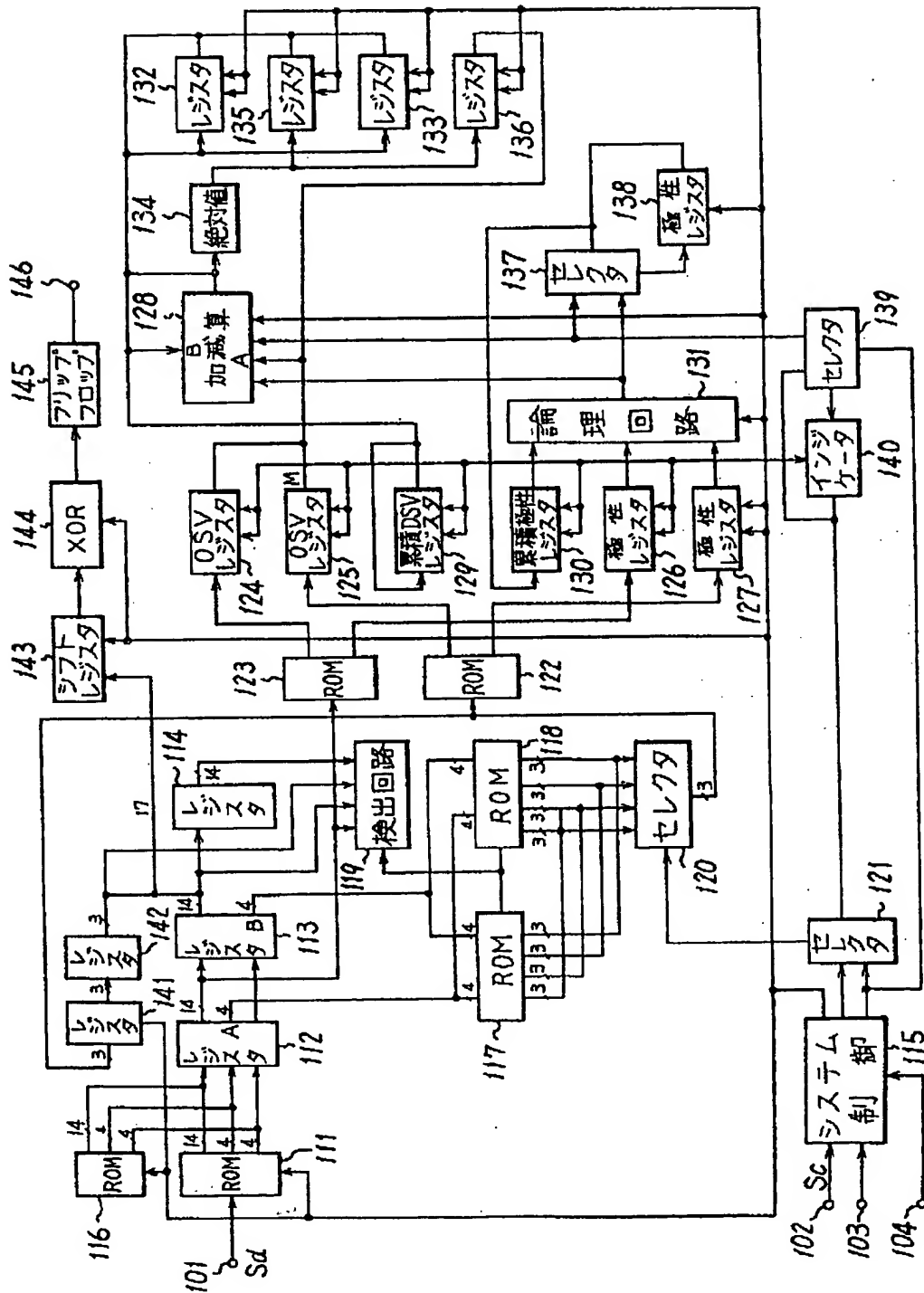
PLA 43 の真理値表

CWL	14NWD					禁止信号				制御信号			マージン ビット 出力	優先 順	備考
	≤ -1	0	1	2	$+3 \leq$	001	010	100	000	+	0	-			
1	x	1	0	0	0	x	x	0	x	x	x	1	100	1	14NWD=0で
	同 上					x	0	1	x	同 上			010	2	制御信号が
						0	1	1	x				001	3	「減少」の場合
						1	1	1	0				000	4	
						x	0	x	x	x	1	x	010	1	14NWD=0で
						0	1	x	x	同 上			001	1	制御信号が
						1	1	0	x				100	2	「平衡」の場合
						1	1	1	0				000	2	
						x	x	x	0	1	x	x	000	1	14NWD=0で
						0	x	x	1	同 上			001	2	制御信号が
						1	0	x	1				010	3	「増加」の場合
						1	1	0	1				100	4	
	x	0	0	0	0	x	0	x	x	x	x	1	010	1	14NWD=-1以下で
	同 上					x	1	0	x	同 上			100	2	制御信号が
						0	1	1	x				001	3	「減少」の場合
						1	1	1	0				000	4	
						0	x	x	x	x	1	x	001	1	14NWD=-1以下で
						1	0	x	x	同 上			010	2	制御信号が
						1	1	0	x				100	3	「平衡」の場合
						1	1	1	0				000	3	
						x	x	x	0	1	x	x	000	1	14NWD=-1以下で
						0	x	x	1	同 上			001	2	制御信号が
						1	0	x	1				010	3	「増加」の場合
						1	1	0	1				100	4	

サンプル値とEFM変調波形



従来の変調回路



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)